



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10022376 A**(43) Date of publication of application: **23 . 01 . 98**

(51) Int. Cl.

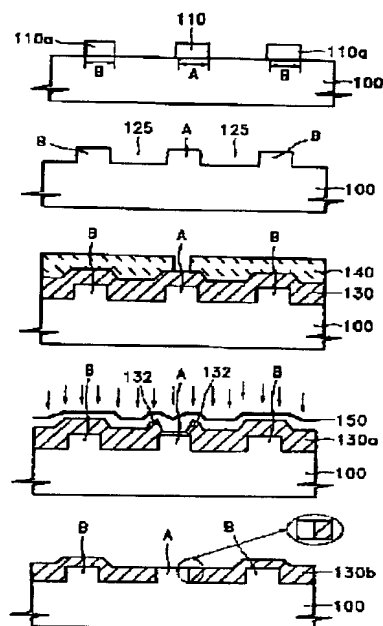
**H01L 21/76**  
**H01L 21/304**  
**H01L 21/66**  
**H01L 27/108**  
**H01L 21/8242**

(21) Application number: **08302981**(22) Date of filing: **14 . 11 . 96**(30) Priority: **25 . 06 . 96 KR 96 9623681**(71) Applicant: **SAMSUNG ELECTRON CO LTD**(72) Inventor: **CHO SOEN****(54) METHOD FOR ISOLATING SEMICONDUCTOR ELEMENTS****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To accurately evaluate the electric characteristics at a cell array region and peripheral circuit region from evaluated electric characteristics at a TEG region by forming a dummy active region in the TEG region.

**SOLUTION:** Mask patterns 110, 110a for limiting an active region on a semiconductor substrate 100 in a TEG region and dummy active region B around them and the substrate 100 is etched to form a trench region. An insulation film 130 is formed on the entire surface. A photo resist pattern 140 is formed thereon with leaving the insulation film 130 exposed on the active region A. The exposed insulation film 130 is etched to form an insulation pattern 130a of specified thickness on the active region A. The resist pattern 140 is then removed and the insulation pattern 130a is planarized to form an element isolation film 130b in the trench region 125.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22376

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76			H 0 1 L 21/76	N
21/304	3 2 1		21/304	3 2 1 S
				3 2 1 M
21/66			21/66	Y
27/108			27/10	6 8 1 D
審査請求 未請求 請求項の数 6 O L (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平8-302981

(22) 出願日 平成8年(1996)11月14日

(31) 優先権主張番号 96-23681

(32) 優先日 1996年6月25日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 趙相淵

大韓民国京畿道水原市八達区梅灘1洞176

番地住公1團地アパート30棟411号

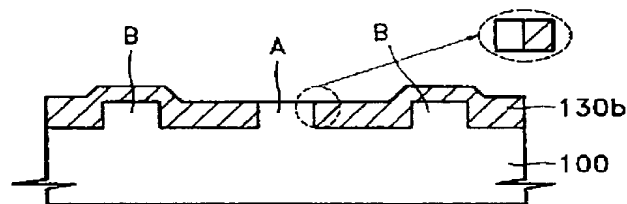
(74) 代理人 弁理士 大塚 康德 (外1名)

(54) 【発明の名称】 半導体素子の素子分離方法

(57) 【要約】

【課題】 TEG領域で測定した電気的特性によりセルアレイ領域における電気的特性を正確に評価し得る半導体素子を製造するための素子分離方法を提供する。

【解決手段】 STI法による素子分離方法において、TEG領域において半導体基板上に活性領域を限定する際に、該活性領域の周囲にダミー活性領域を併せて限定することにより、TEG領域内のトレンチ領域に実際の半導体素子内に形成される素子分離膜と同一な厚さを有する素子分離膜を形成することができる。従って、TEG領域で測定した電気的な特性によりセルアレイ領域での電気的特性を正確に評価することができる。



## 【特許請求の範囲】

【請求項 1】 セルアレイ領域と周辺回路領域とを含むメインパターン領域と、前記メインパターン領域に形成されるパターンの工程変数を間接的に評価するためのテストパターンを含む TEG 領域とを有する半導体素子の素子分離方法において、

前記 TEG 領域内の半導体基板上に活性領域を限定すると共に前記活性領域の周囲にダミー活性領域を限定するためのマスクパターンを形成する工程と、

前記マスクパターンを蝕刻マスクとして前記半導体基板を蝕刻して相応の深さを有するトレンチ領域を形成する工程と、

結果物の全面に対して前記トレンチ領域を埋め込むように絶縁膜を形成する工程と、

前記活性領域上の絶縁膜が露出するようなフォトリソトパターンを前記絶縁膜上に形成する工程と、

前記フォトリソトパターンを蝕刻マスクとして露出した絶縁膜を蝕刻することにより、前記活性領域上に所定の厚さを有する絶縁膜パターンを形成する工程と、

前記フォトリソトパターンを取り除く工程と、  
前記活性領域が露出されるまで前記絶縁膜パターンを平坦化して前記トレンチ領域内に素子分離膜を形成する工程と、

を含むことを特徴とする半導体素子の素子分離方法。

【請求項 2】 前記マスクパターンは、窒化膜で形成されることを特徴とする請求項 1 に記載の半導体素子の素子分離方法。

【請求項 3】 前記絶縁膜は、TEOS (tetra-ethyl-ortho-silicate) 膜で形成されることを特徴とする請求項 1 に記載の半導体素子の素子分離方法。

【請求項 4】 前記素子分離膜を形成する工程における前記絶縁膜パターンの平坦化は、CMP 工程により行われることを特徴とする請求項 1 に記載の半導体素子の素子分離方法。

【請求項 5】 前記 CMP 工程は、ソフトパッドを用いて行われることを特徴とする請求項 4 に記載の半導体素子の素子分離方法。

【請求項 6】 広いパターンで構成される広パターン領域と、狭いパターンで構成される狭パターン領域とを有する半導体素子の素子分離方法において、

前記広パターン領域の半導体基板上に活性領域を限定すると共に前記活性領域の周囲にダミー活性領域を限定するためのマスクパターンを形成する工程と、

前記マスクパターンを蝕刻マスクとして前記半導体基板を蝕刻して相応の深さを有するトレンチ領域を形成する工程と、

形成したトレンチ領域を埋め込むように絶縁膜を形成する工程と、

前記活性領域上の絶縁膜が露出するようなフォトリソトパターンを前記絶縁膜上に形成する工程と、

前記フォトリソトパターンを蝕刻マスクとして露出した絶縁膜を蝕刻することにより、前記活性領域上に所定の厚さを有する絶縁膜パターンを形成する工程と、  
前記フォトリソトパターンを取り除く工程と、  
前記活性領域が露出されるまで前記絶縁膜パターンを平坦化して前記トレンチ領域内に素子分離膜を形成する工程と、  
を含むことを特徴とする半導体素子の素子分離方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体素子の素子分離方法に係り、例えば STI (Shallow Trench Isolation) による素子分離方法におけるトレンチ埋立物質の平坦化工程で TEG (Test Element Group) 領域にオーバーポリッシング現象が発生することを防止し得る半導体素子の素子分離方法に関する。

【従来の技術】 1 ギガ級の DRAM の如き高集積メモリ装置が開発されるに伴って、デザインルールが進歩し、各素子間の間隔が狭まってきた。従って、素子間の絶縁方法を更に効率の良いものにする必要がある。素子分離方法として広く採用されている既存の LOCOS (Local Oxidation of Silicon) 法には、素子分離膜のフィールド酸化膜の形成時に発生するバズビークによりフィールド酸化膜間の活性領域面積が減少する問題点があった。そこで、不要な部分による面積損失を最大限に減らしながら狭い面積でも所望の素子分離を行い得る新たな素子分離方法が提案された。その方法の一つが STI による素子分離法である。

【0002】 STI 法は、シリコン基板において素子を分離させる部分（素子分離領域）に該当する領域をエッチングした後に、酸化膜を蒸着し、その酸化膜の平坦化する工程を経て素子間を分離する方法である。STI 法は、LOCOS 法とは異なりバズビークが存在しないので、限られた面積内において活性領域の面積を減少させることなく素子分離特性に優れた素子分離膜を提供することができる。

【0003】 STI を形成する工程中で最も重要なのは平坦化工程である。即ち、シリコン基板の表面に影響を及ぼすことなくトレンチ埋立用酸化膜の表面を平坦にすることが重要である。このために主に用いる平坦化方法として、エッチバック工程と CMP (Chemical Mechanical Polishing) 工程が挙げられる。このうち CMP 工程による平坦化方法は、機械的な方法と化学的な方法とを同時に用いて酸化膜を研磨することによりウェーハの全面を平坦にする方法である。この方法はポリシングパッドを用いるので均一な平坦化を行うことができる。また、化学作用を起こすスラリーを用いるので平坦化工程における選択比を増加させることができる。従って、STI による素子分離工程では、平坦化方法として主に CMP 工程が採用されている。

【0004】CMP工程で使用するポリッシングパッドは、ソフトパッドとハードパッドとに分けられるが、一般的には、STIによる素子分離工程における平坦化工程にはウェーハの表面状態に対応するような所定の柔軟性を有するソフトパッドが使用される。ところが、STI平坦化工程でソフトパッドを使用する場合、ウェーハ上の活性領域により形成された表面の凹凸によりその上に蒸着された酸化膜の表面も凸凹になり、結果的に平坦化工程を経た後の酸化膜の表面でディッシング現象が発生し得る。このような現象を防止するため、従来は、STI平坦化工程の前にウェーハ上の活性領域に該当する部分の酸化膜の一部をエッチングして取り除いた後に平坦化工程を行っていた(B. H. Roh等, "Highly Manufacturable Trench Isolation for Giga Bit DRAM", Extended Abstracts of the 1995 International Conference on Solid State Device and Materials, Osaka, 1995, pp. 590-592)。

【0005】図1A乃至図3Bは、前述した従来技術に係るSTI法による素子分離法を説明するための断面図である。図1A、図2A、図3Aは、メインパターン領域中のセルアレイ領域を示したものであり、図1B、図2B、図3Bは、メインパターン領域に形成されるパターンの工程変数を間接的に測定するためのTEG領域を示したものである。

【0006】従来のSTI法では、図1A及び図1Bに示すように、まず、半導体基板10上にトレンチ12を形成して活性領域とフィルド領域を定義し、トレンチ12の側壁を酸化させ、その後、トレンチ12を酸化物層14により埋め立てる。次に、その結果物に対して、CMPによる平坦化工程を実行する際に発生し得るディッシング現象を防止するために、酸化物層14を選択的にエッチングするための工程を施す。このため、酸化物層14のうち半導体基板10の活性領域に該当する部分のみを選択的に開口したフォトレジストパターン16を形成する。

【0007】そして、図2A及び図2Bに示すように、フォトレジストパターン16をマスクとして酸化物14を所定の厚さだけエッチングする。その結果、セルアレイ領域では、図2Aに示すように部分的に酸化物による柱20が形成され、TEG領域では、図2Bに示すように活性領域とフィルド領域間の境界に沿って酸化物からなる狭いスパイク22が形成される。

【0008】次いで、上記の結果物に対してソフトパッド30を用いてCMP工程を施す。図3A及び図3Bは、ソフトパッド30を用いて酸化物14に対して平坦化工程を施した結果を示している。図3Aから分かるように、セルアレイ領域ではCMPによる平坦化工程時にポリッシングされる酸化物の量が少量になり、結果的にディッシング現象が発生しない平坦な半導体基板を得ることができる。

【0009】ところが、TEG領域は、セルアレイ領域と比べてパターンの数やその面積等において著しく異な

る。即ち、TEG領域では、活性領域はフィルド領域に比べて非常に小さな面積しかもない。従って、CMP工程時において、ソフトパッド30の面は、TEG領域のほとんどを占めているフィルド領域の表面に主に接するようになる。そして、スパイク22は、増加された物理的力により研磨されて取り除かれる。従って、TEG領域でのCMPによる酸化物の除去量がセルアレイ領域より大きくなり、その結果、図3Bに示すようにTEG領域ではフィルド領域での酸化物の高さが活性領域より低く形成される。

【0010】以上のように、従来技術に係るSTI法によって素子を分離した場合、TEG領域では、活性領域よりも低い素子分離膜が形成され、その厚さはセルアレイ領域における素子分離膜よりも薄い。従って、TEG領域において実測した電気的な特性に基づいてセルアレイ領域における電気的特性を正確に評価することができないという問題がある。

【発明が解決しようとする課題】本発明は、前述のような従来の問題点を解決するために案出されたものであり、広いパターンで構成される素子の特性と狭いパターンで構成される素子の特性とを両立させ得る素子分離方法を提供することを目的とし、より詳しくは、例えばTEG領域において評価した電気的特性に基づいてセルアレイ領域及び周辺回路領域における電気的特性を正確に評価し得る半導体素子を製造するための素子分離方法を提供することを目的とする。

【課題を解決するための手段】上記目的を達成するために本発明は、セルアレイ領域と周辺回路領域とを含むメインパターン領域と、前記メインパターン領域に形成されるパターンの工程変数を間接的に測定するためのテストパターンを含むTEG領域とを有する半導体素子の素子分離方法において、前記TEG領域内の半導体基板上に活性領域を限定すると共に前記活性領域の周囲にダミー活性領域を限定するためのマスクパターンを形成する工程と、前記マスクパターンを蝕刻マスクとし前記半導体基板を蝕刻して一定の深さを有するトレンチ領域を形成する工程と、前記結果物の全面にトレンチ領域を埋め込む絶縁膜を形成する工程と、前記絶縁膜上に前記活性領域上の絶縁膜が露出するようなフォトレジストパターンを形成する工程と、前記フォトレジストパターンを蝕刻マスクとして前記露出された絶縁膜を蝕刻することにより、前記活性領域上に所定の厚さを有する絶縁膜パターンを形成する工程と、前記フォトレジストパターンを取り除く工程と、前記活性領域が露出されるまで前記絶縁膜パターンを平坦化して前記トレンチ領域内に素子分離膜を形成する工程とを含むことを特徴とする。

【0011】例えば、前記マスクパターンは窒化膜で形成されることが望ましく、前記絶縁膜はTEOS(tetra-ethyl-ortho-silicate)膜で形成されることが望ましい。さらに、前記素子分離膜を形成する工程における前記絶縁膜パターンの平坦化は、CMP工程により行うことが望ま

しく、前記CMP工程はソフトパッドを用いて行うことが望ましい。

【0012】また、本発明は、広いパターンで構成される広パターン領域と、狭いパターンで構成される狭パターン領域とを有する半導体素子の素子分離方法において、前記広パターン領域の半導体基板上に活性領域を限定すると共に前記活性領域の周囲にダミー活性領域を限定するためのマスクパターンを形成する工程と、前記マスクパターンを蝕刻マスクとして前記半導体基板を蝕刻して相応の深さを有するトレンチ領域を形成する工程と、形成したトレンチ領域を埋め込むように絶縁膜を形成する工程と、前記活性領域上の絶縁膜が露出するようなフォトレジストパターンを前記絶縁膜上に形成する工程と、前記フォトレジストパターンを蝕刻マスクとして露出した絶縁膜を蝕刻することにより、前記活性領域上に所定の厚さを有する絶縁膜パターンを形成する工程と、前記フォトレジストパターンを取り除く工程と、前記活性領域が露出されるまで前記絶縁膜パターンを平坦化して前記トレンチ領域内に素子分離膜を形成する工程とを含むことを特徴とする。

【0013】本発明により素子を分離すると、例えばTEG領域において評価した電気的特性に基づいてセルアレイ領域及び周辺回路領域における電気的特性を正確に評価することができる。

【発明の実施の形態】以下、添付図面を参照しながら本発明の1つの実施の形態を詳細に説明する。

【0014】図4乃至図8は、本発明の好適な実施の形態に係る半導体素子の素子分離方法を説明するための断面図であり、TEG領域（広いパターンで構成される領域の一例）のみを示している。セルアレイ領域と周辺回路とを含むメインパターン領域（狭いパターンで構成される領域の一例）に関しては、例えば、図1A、図2A、図3Aを参照して説明した素子分離方法により活性領域が分離される。

【0015】図4は、マスクパターン110、110aを形成する工程を説明するための断面図である。まず、シリコンからなる半導体基板100上に活性領域Aを限定するためのマスクパターン110と、マスクパターン110の周囲にダミー活性領域Bを限定するためのマスクパターン110aを形成する。マスクパターン110、110aは、半導体基板100に対して蝕刻選択度の良好なシリコン窒化膜によって形成することが望ましい。前記のように、活性領域Aの周囲にダミー活性領域Bを更に限定することにより、両領域の間の非活性領域の幅を所定のサイズ以下に調節することができる。

【0016】図5は、トレンチ領域125を形成する工程を説明するための断面図である。具体的に説明すると、マスクパターン110、110aを蝕刻マスクとして半導体基板100を食刻して、所定の深さを有するトレンチ領域125を形成する。次に、マスクパターン110、110aを取り除い

て、トレンチ領域125の間において基板100から突出された活性領域A及びダミー活性領域Bを形成する。図4で説明したように、活性領域Aの周囲にダミー活性領域Bを形成することにより、トレンチ領域125の幅を所定サイズ以下に調節することができる。

【0017】図6は、トレンチ領域125を埋め込んだ絶縁膜130を形成し、その上に活性領域Aの上部の絶縁膜130が露出するようなフォトレジストパターン140を形成する工程を説明するための断面図である。更に詳しく説明すると、トレンチ領域125の形成された結果物の全面に絶縁膜130、例えば段差塗布性に優れたTEOS(tetra ethyl ortho silicate)膜を形成する。次に、絶縁膜130上にフォトレジスト膜を塗布した後に、これを通常の写真蝕刻工程によりパタニングして、活性領域A上の絶縁膜130を露出させたフォトレジストパターン140を形成する。

【0018】図7は、絶縁膜130をCMP法により平坦化する工程を説明するための断面図である。更に詳しく説明すると、フォトレジストパターン140を蝕刻マスクとして、露出した絶縁膜130を蝕刻することにより、活性領域Aの上に所定の厚さを有する絶縁膜パターン130aを形成する。その結果、活性領域Aとその活性領域Aを取り囲むフィールド領域との境界に沿って、絶縁膜パターン130aにより狭いスパイク132が形成され、ダミー活性領域B上には絶縁膜パターン130aが最初に積層された厚さのままで残される。次いで、フォトレジストパターン140を取り除いた後に、絶縁膜パターン130aをCMP工程により平坦化するために、絶縁膜パターン130aの形成された結果物の全面にポリシングパッド、望ましくはソフトパッド150を載せる。この際、ソフトパッド150には矢印方向に物理的な力が与えられ、図7に示すように、ソフトパッド150は絶縁膜パターン130aの形成された結果物の表面の凸凹に沿って接するようになる。

【0019】図8は、トレンチ領域125を埋め込む素子分離膜130bを形成する工程を説明するための断面図である。まず、ソフトパッド150を用いて活性領域Aが露出されるまで絶縁膜パターン130aを研磨することにより、素子分離膜130bを形成する。このとき、トレンチ領域125内の絶縁膜パターン130aの表面は、ダミー活性領域B上に残っている絶縁膜パターン130aの高さに比べて非常に低いので、緩和された圧力がソフトパッド150により与えられる。従って、CMP工程による平坦化工程の際に、トレンチ領域125内の絶縁膜パターン130aの蝕刻率は相対的に小さい（遅い）ので、図8に示すように、トレンチ領域125内に形成された素子分離膜130bの表面は、露出した活性領域Aの表面と同一な高さを有する。

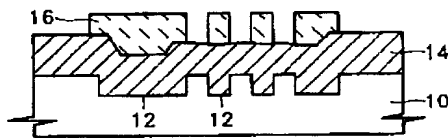
【0020】本発明の好適な実施の形態に拠れば、TEG領域に活性領域を形成する際に、1つのマスクパターンを用いて、活性領域とダミー活性領域とを同時に形成することができる。

【0021】このダミー活性領域は、必要な密度で形成可能である。すなわち、各ダミー活性領域の位置は特定の位置に限定されず、また、各ダミー活性領域の間の距離は特定の距離に限定されず、必要に応じた配置を任意に選択することができる。従って、ダミー活性領域の密度を小さくすべき工程条件の下でもCMP法による平坦化工程を効率良く行うことができる。

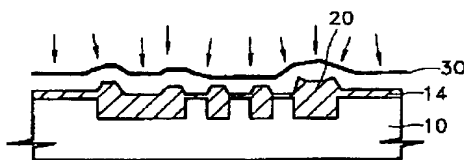
【0022】また、本発明の好適な実施の形態によれば、トレンチ領域を埋め込むための絶縁膜を形成した後、平坦化工程を行う前に、TEG領域の活性領域でのみ当該絶縁膜の一部を取り除いて当該活性領域の周囲にスパイクを形成し、ダミー活性領域上には絶縁膜を初期の厚さのまま残す。その結果、CMPによる平坦化工程の際にソフトパッドを介して活性領域に伝達される圧力がダミー活性領域に残された絶縁物により分散される効果が得られる。従って、本実施の形態によれば、ダミー活性領域の密度を小さくした場合にもCMPによる平滑化工程時にディッシング現象を起さず効率良く平坦化を行うことができる。

【0023】また、本発明の好適な実施の形態によれば、TEG領域内にダミー活性領域を形成することにより、TEG領域内のトレンチ領域に実際の半導体素子内に形成される素子分離膜と同一な厚さを有する素子分離膜を形成することができる。従って、TEG領域において評価した電気的な特性に基づいてセルアレイ領域及び周辺回路領域での電気的特性を正確に評価することができる。本発明は上記の特定の実施の形態に限られず、本発明の技術的思想の範囲内で様々な変形をなし得る\*

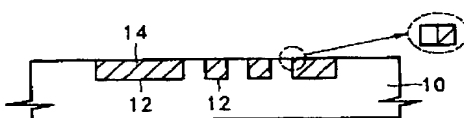
【図1 A】



【図2 A】



【図3 A】



\*とは明白である。

【発明の効果】本発明に拠れば、広いパターンで構成される素子の特性と狭いパターンで構成される素子の特性とを両立させることができ、例えばTEG領域において評価した電気的特性に基づいてセルアレイ領域及び周辺回路領域における電気的特性を正確に評価し得る半導体素子を製造することができる。

【0024】

【図面の簡単な説明】

【図1 A】

【図1 B】従来技術に係る素子分離方法を説明するための図である。

【図2 A】

【図2 B】従来技術に係る素子分離方法を説明するための図である。

【図3 A】

【図3 B】従来技術に係る素子分離方法を説明するための図である。

【図4】本発明の好適な実施の形態に係る素子分離方法を説明するための図である。

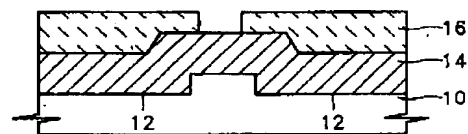
【図5】本発明の好適な実施の形態に係る素子分離方法を説明するための図である。

【図6】本発明の好適な実施の形態に係る素子分離方法を説明するための図である。

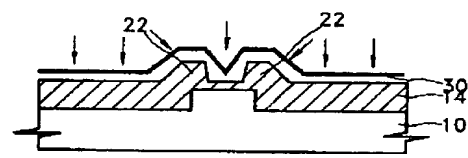
【図7】本発明の好適な実施の形態に係る素子分離方法を説明するための図である。

【図8】本発明の好適な実施の形態に係る素子分離方法を説明するための図である。

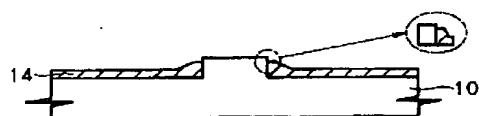
【図1 B】



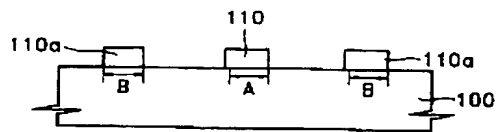
【図2 B】



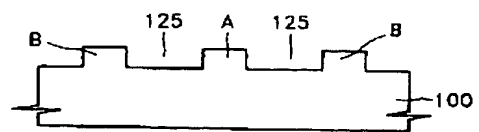
【図3 B】



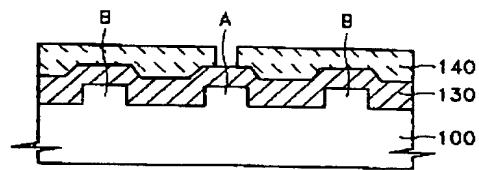
【図 4】



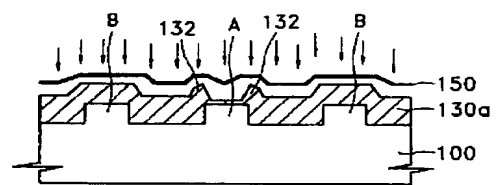
【図 5】



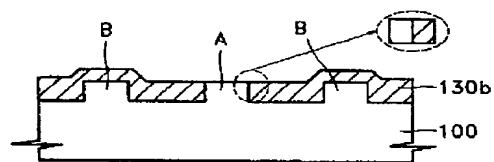
【図 6】



【図 7】



【図 8】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

H01L 21/8242

識別記号

庁内整理番号

F I

H01L 27/10

技術表示箇所

691